⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　昭64－23549

⑤Int.Cl.⁴	識別記号	庁内整理番号	⑬公開　昭和64年(1989)1月26日
H 01 L 21/82		7925－5F	
27/04		7514－5F	
H 03 K 19/00	101	N－8326－5J	審査請求　未請求・発明の数 1　(全5頁)

⑭発明の名称　半導体集積回路装置

⑳特　願　昭62－178905
㉒出　願　昭62(1987)7月20日

㉑発明者　浦上　憲　群馬県高崎市西横手町111番地　株式会社日立製作所高崎工場内
㉑発明者　小島　由樹　群馬県高崎市西横手町111番地　株式会社日立製作所高崎工場内
㉑発明者　村林　文夫　茨城県日立市久慈町4026番地　株式会社日立製作所日立研究所内
㉑出願人　株式会社日立製作所　東京都千代田区神田駿河台4丁目6番地
㉔代理人　弁理士　小川　勝男　外1名

明　細　書

1．発明の名称

半導体集積回路装置

2．特許請求の範囲

1．論理信号が入力あるいは出力される入出力バッファ部と、この入出力バッファ部を介して論理信号が入力あるいは出力される内部回路部と、外部との同期動作を行なわせるために設けられたラッチ回路とを備えた半導体集積回路装置であって、上記ラッチ回路が上記入出力バッファ部に設けられたことを特徴とする半導体集積回路装置．

2．上記ラッチ回路を同期動作させるために外部から与えられるクロックが、上記入出力バッファ部に沿って布線されていることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置．

3．上記ラッチ回路が入出力バッファ回路を構成していることを特徴とする特許請求の範囲第1項または第2項記載の半導体集積回路装置．

4．上記ラッチ回路が入出力バッファ回路を構成するとともに、この入出力バッファ回路が、多段接続された複数のラッチ回路によって構成されていることを特徴とする特許請求の範囲第1項から第3項までいずれかに記載の半導体集積回路装置．

3．発明の詳細な説明

［産業上の利用分野］

この発明は、半導体集積回路装置技術、さらには論理用の半導体集積回路装置に適用して有効な技術に関するもので、たとえば、ゲートアレイを使って構成される半導体集積回路装置に利用して有効な技術に関するものである．

［従来の技術］

論理用の半導体集積回路装置は、たとえば日経マグロウヒル社刊行「日経エレクトロニクス1986月2月24日号No．389」に記載されているように、ゲートアレイを用いて構成されることが多い．

一般に、この種の論理用半導体集積回路装置を使って特定の機能をもつシステムを構成する場合、複数の半導体集積回路装置が使われることが多い．いわゆる、マルチチップ構成となることが多い．

このようなマルチチップ構成のシステムでは、システムの動作がそれほど速くないときは問題とならないが、システムの動作が高速化するに伴って、チップ間の動作タイミングを合せることが難しくなってくる。

そこで、本発明者は、複数のチップ間での動作タイミングを合わせやすくした半導体集積回路装置について検討した。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

第4図は本発明者らによって検討された半導体集積回路装置の概要を示す。

同図に示す半導体集積回路装置10はゲートアレイを用いて構成された論理用の半導体集積回路装置であって、外部入出力端子P1，P2と、論理信号Din，Doutが入出力される入出力バッファ部1，2と、この入出力バッファ部1，2を介して論理信号が入出力される内部回路部3とを有する。

入出力バッファ部1には入力バッファ回路11'が設けられている。外部入力端子P1から与えられる論理入力信号Dinは、その入力バッファ回路11'を介して内部回路部3に与えられる。同様に、出力バッファ部1には出力バッファ回路12'が設けられている。内部回路部3からの論理出力信号Doutは、その出力バッファ回路21'を介して外部出力端子P1に導出される。

内部回路部3には、いわゆるマスタースライス方式によって任意の論理回路網が形成されている。

ここで、上記内部回路部3内には、上記論理回路網を形成する各種の論理ゲート31に加えて、外部との同期動作を行なわせるためのラッチ回路32，33が設けられている。このラッチ回路32，33は内部回路部3に入力された論力信号および内部回路部3から出力される論理信号を、その内部回路部3内にて、外部から端子P3および入力バッファ回路12'を介して与えられるクロックCKに同期してラッチする。

これにより、内部回路部3内における論理信号の処理動作タイミングを外部から規制することができるようになっている。

したがって、たとえば第5図に示すように、複数の半導体集積回路装置10，10によるマルチチップ構成のシステムを構成した場合に、その複数の半導体集積回路装置10，10に共に同じクロックCKを与えることにより、各半導体集積回路装置10，10を互いに同期させながら動作させることができ、これによって変化の速い論理信号を取り扱うことが可能となっている。

[発明が解決しようとする問題点]

しかしながら、上述した技術には、次のように問題点のあることが本発明者によってあきらかとされた。

すなわち、取り扱う信号がさらに高速されてくると、内部回路部3内におけるクロックCKの伝達遅延が無視できなくなってくる。このとき、その内部回路部3内において生じるクロックCKの伝達遅延は一定ではなく、半導体集積回路装置の回路仕様および個体差などによって大きなバラツキがある。

たとえば、半導体集積回路装置の回路仕様、とくに内部回路部3の回路仕様が異なると、これに伴ってクロック伝送用配線ℓの配線パターンも異なったものとなるが、このことは上記クロックCKの伝達遅延にバラツキを生じさせる原因の一つとなっている。また、上記バラツキは、同種の半導体集積回路装置の間でも、製造段階にて生じる特性の差、あるいは実装状態において生じ温度環境の差などによって生じる。

したがって、上述した技術では、たとえば20～30MHz位までの高速化には対応させられるが、それ以上の高速化に対応させることは困難であった。

本発明の目的は、内部回路部内における伝達遅延が問題となるような高速領域においても、半導体集積回路装置に確実な同期動作を行なわせられるようにする、という技術を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

［問題点を解決するための手段］

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、半導体集積回路装置を外部から同期動作させるためのラッチ回路を、その半導体集積回路装置の入出力バッファ部に設ける、というものである。

［作用］

上記した手段によれば、半導体集積回路装置を外部から同期動作させるためのラッチ回路は、外部から与えられるクロックによって直接動作させられるようになる。これにより、内部回路部内における伝達遅延が問題となるような高速領域においても、半導体集積回路装置に確実な同期動作を行わせられるようにするという目的が達成される。

［実施例］

以下、本発明の好適な実施例を図面に基づいて説明する。

なお、各図中、同一符号は同一あるいは相当部分を示す。

第１図はこの発明による半導体集積回路装置の一実施例を示す。

同図に示す半導体集積回路装置はゲートアレイを用いて構成された論理用の半導体集積回路装置であって、基本的には第４図に示したものと同様に、外部入出力端子Ｐ１，Ｐ２と、論力信号Ｄｉｎ，Ｄｏｕｔが入出力される入出力バッファ部１，２と、この入出力バッファ部１，２を介して論理信号が入出力される内部回路部３とを有する。

ここで、実施例の半導体集積回路装置１０では、外部との同期動作を行なわせるためにラッチ回路１１，２１が設けられているが、このラッチ回路１１，２１は上記入出力バッファ部１，２に設けられている。そして、このラッチ回路１１，２１によって入出力バッファ回路が構成されている。

上記ラッチ回路１１，２１はそれぞれ外部から与えられるクロックＣＫに同期して半導体集積回路装置１０の入出力信号Ｄｉｎ，Ｄｏｕｔをラッチする。

クロックＣＫは、外部入力端子Ｐ３、バッファ回路１２、およびクロック専用の配線ℓを介して、各ラッチ回路１１，２１に共通に分配される。

クロック専用の配線ℓは、第２図に部分的に示すように、入出力バッファ部１，２に沿って布線することにより、内部回路部３内の布線パターンに関係なく一定の配線パターンに形成することができ、これによって、そのクロック専用配線ℓにおける伝達遅延を一定に揃えることができるようになっている。

以上のように、上記ラッチ回路１１，２１は、半導体集積回路装置１０の入出力信号Ｄｉｎ，Ｄｏｕｔを、内部回路部３内ではなく、入出力バッファ部１，２内にてラッチする。これにより、上記半導体集積回路装置１０は、内部回路部３内における伝達遅延が問題となるような高速領域においても、外部から与えられるクロックＣＫに確実な同期して動作することができる。

さらに、上記ラッチ回路１１，２１は、入出力バッファ部１，２に入出力バッファ回路を構成するためにあらかじめ半導体下地として形成された回路要素を流用することにより、内部回路部３内の回路要素を使わずに構成することができる。これにより、内部回路部３内に基本セルを単位に形成された回路要素を有効に利用することができるようになる。

第３図はこの発明による半導体集積回路装置のさらに好適な実施例を示す。

上述した実施例との相違点だけを示すと、同図に示す実施例では、多段接続された複数のラッチ回路１１Ａと１１Ｂ，２１Ａと２１Ｂとによって入出力バッファ部１，２の入出力バッファ回路が構成されている。

これにより、前段側の各ラッチ回路１１Ａ，２１Ａはそれぞれ、その出力負担が軽くなることによって、入出力信号のラッチ速度を速めることができる。一方、後段側の各ラッチ回路１１Ｂ，２１Ｂはそれぞれその前段側にラッチ回路１１Ａ，２１Ａが介在していることによって、上記入出力信号が若干遅れて入力される。しかし、その後段側ラッチ回路１１Ｂ，２１Ｂに入力される信号は、

前段側ラッチ回路１１Ａ，２１Ａによって既に保持された信号である。したがって、全体的に見た場合のラッチ速度は、前段側のラッチ回路１１Ａ，２１Ｂのラッチ速度となる。

このように、複数のラッチ回路を多段接続して使用することにより、入出力信号の同期速度を速めつつ、入出力バッファ部１，２の出力容量（ファンアウト）を増すことができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、上記ラッチ回路を入力専用のバッファ回路部１あるいは出力専用のバッファ回路部２のいずれか一方だけに設ける構成であってもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるであるゲートアレイを用いた半導体集積回路装置に適用した場合について説明したが、それに限定されるものではなく、たとえば、ＰＬＤ（プログラムブル論理素子）や半導体集積回路記憶装置などにも適用できる。

［発明の効果］

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、内部回路部内における伝達遅延が問題となるような高速領域においても、半導体集積回路装置に確実な同期動作を行わせることができる、という効果が得られる。

４．図面の簡単な説明

第１図はこの発明の一実施例による半導体集積回路装置の概要を示す回路図、

第２図は同装置の一部を示す部分レイアウト図、

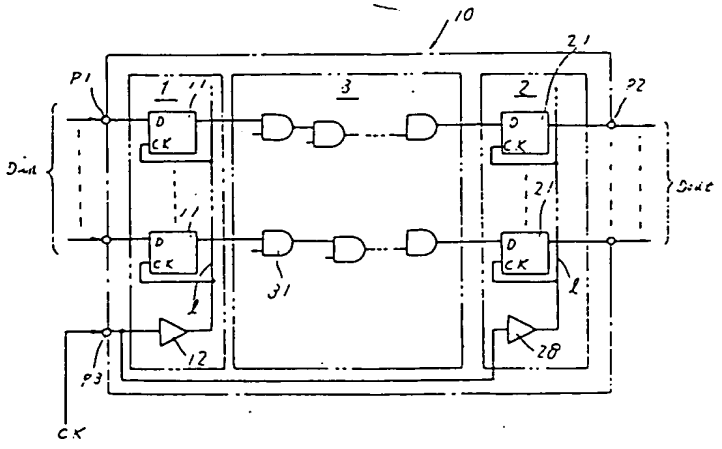
第３図はこの発明の別の実施例を示す回路図、

第４図（Bに写５図）はこの発明に先立って検討された半導体集積回路装置の概要を示す回路図である。

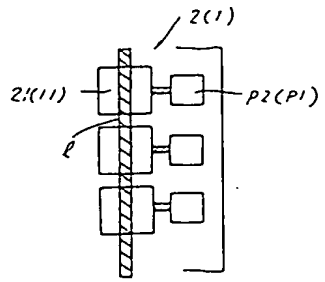
１０……半導体集積回路装置、１……入力バッファ部、２……出力バッファ部、３……内部回路部、Ｐ１，Ｐ２，Ｐ３……外部端子、１１，２１，１１Ａ，１１Ｂ，２１Ａ，２１Ｂ……ラッチ回路、Ｄｉｎ……論理入力信号、Ｄｏｕｔ……論理出力信号、ＣＫ……クロック、ℓ……クロック専用配線。

代理人　弁理士　小川勝男

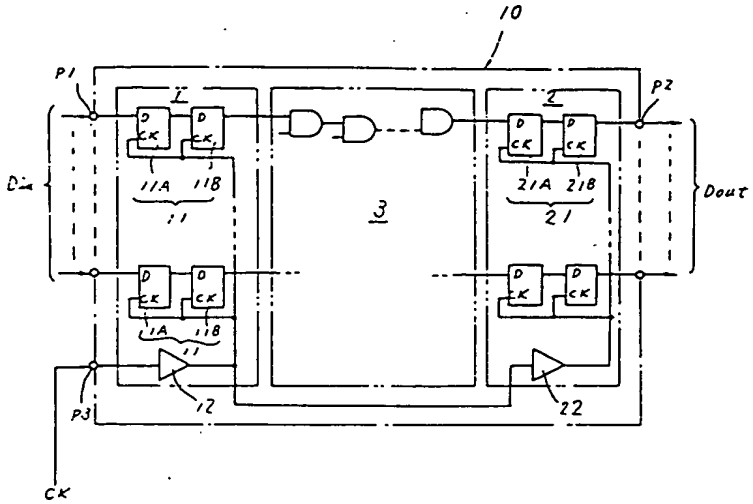
第　１　図



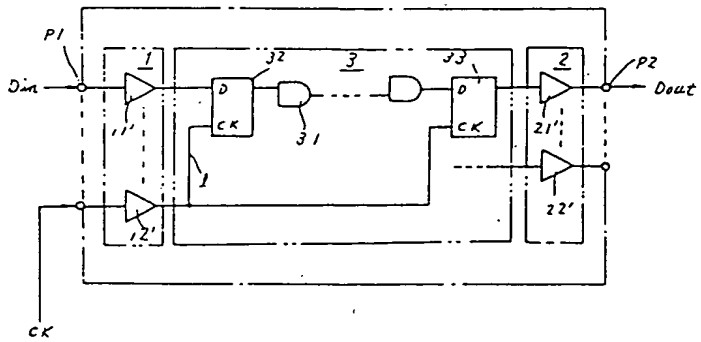
第　２　図



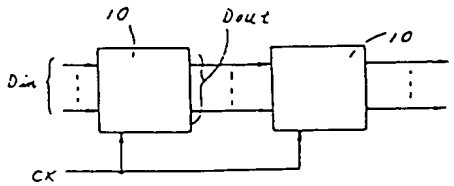
第 3 図


10
P1
P2
1
2
Din
Dout
11A
11B
11
21A
21B
21
3
P3
12
22
CK

第 4 図


P1
P2
Din
Dout
1
2
3
32
33
11'
21'
31
12'
22'
CK

第 5 図


10
Dout
10
Din
CK